

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0042

Applicant: Tae Yun KIM

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: December 8, 2003

Art Unit: Unassigned

Title: SELF-REFRESH APPARATUS AND METHOD

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

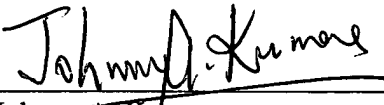
Korean Patent Application No. 10-2003-0008257 filed February 10, 2003

Respectfully submitted,

Date: December 8, 2003

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

By


Johnny A. Kumar

Attorney for Applicant
Registration No. 34,649
Customer No. 26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0008257
Application Number

출원년월일 : 2003년 02월 10일
Date of Application FEB 10, 2003

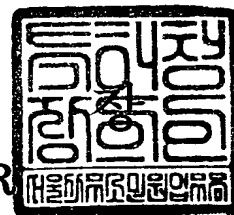
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2003.09.22
【제출인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【사건과의 관계】	출원인
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	2003-017011-1
【사건의 표시】	
【출원번호】	10-2003-0008257
【출원일자】	2003.02.10
【심사청구일자】	2003.02.10
【발명의 명칭】	셀프 리프레쉬 장치 및 방법
【제출원인】	
【접수번호】	1-1-2003-0045558-48
【접수일자】	2003.02.10
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에 의하여 위와 같 이 제출합니다. 대리인 이후동 (인) 대리인 이정훈 (인)

1020030008257

출력 일자: 2003/10/13

【수수료】

【보정료】 0 원

【추가심사청구료】 0 원

【기타 수수료】 0 원

【합계】 0 원

【첨부서류】 1. 보정내용을 증명하는 서류_1통 -.

【보정대상항목】 식별번호 34

【보정방법】 정정

【보정내용】

즉, 셀프 리프레쉬가 끝나지 않은 상황이라면 내부 어드레스 카운터는 다시 워드라인(11)부터 카운트를 시작하지만, 셀프 리프레쉬가 끝났기 때문에 "하프 오브 뱅크"에 대한 PASR 동작이 종료되고 내부 어드레스 카운터는 전체 로우 어드레스에 대하여 도 2에서의 펄스 간격("가")으로 카운트를 하게 된다.

【보정대상항목】 식별번호 92

【보정방법】 정정

【보정내용】

인버터 IV8은 레지스터 셋트 어드레스 emrsa<0>를 반전시켜 레지스터 셋트 어드레스 emrsaz<0>를 출력한다. 인버터 IV9는 레지스터 셋트 어드레스 emrsa<1>를 반전시켜 레지스터 셋트 어드레스 emrsaz<1>를 출력한다. 인버터 IV10은 레지스터 셋트 어드레스 emrsa<2>를 반전시켜 레지스터 셋트 어드레스 emrsaz<2>를 출력한다.

【보정대상항목】 식별번호 93

【보정방법】 정정

【보정내용】

그리고, 낸드게이트 ND4는 레지스터 셋트 어드레스 emrsaz<0>와 레지스터 셋트 어드레스 emrsa<1>를 낸드 연산하고, 낸드게이트 ND5는 낸드게이트 ND4의 출력신호와

레지스터 셋트 어드레스 emrsaz<2>를 낸드 연산하여 출력한다. 인버터 IV11은 낸드 게이트 ND5의 출력신호를 반전시켜 제어 신호 pasr_bk1을 출력한다.

【보정대상항목】 식별번호 95

【보정방법】 정정

【보정내용】

낸드게이트 ND8은 레지스터 셋트 어드레스 emrsa<0>, emrsaz<1>, emrsa<2>를 낸드 연산하여 출력한다. 낸드게이트 ND9는 레지스터 셋트 어드레스 emrsaz<0>, emrsa<1>, emrsa<2>를 낸드 연산하여 출력한다. 인버터 IV12는 낸드게이트 ND8의 출력신호를 반전시켜 제어 신호 pasr_bh를 출력하고, 인버터 IV13은 낸드게이트 ND9의 출력신호를 반전시켜 제어 신호 pasr_bq를 출력한다.

【보정대상항목】 식별번호 98

【보정방법】 정정

【보정내용】

반면에, 셀프 리프레쉬 동작시 레지스터 셋트 어드레스 emrsa<0:2>는 EMRS 명령의 입력시 함께 입력된 어드레스 add<0:2>의 레벨을 나타낸다. 따라서, EMRS명령의 입력시 각 어드레스 add<0>, add<1>, add<2>의 상태에 따라 제어 신호들은 다음과 같은 레벨 변화를 갖는다.

【보정대상항목】 식별번호 104

【보정방법】 정정

【보정내용】

따라서, PASR 제어부(45)는 도 4와 같이 기설정된 EMRS 코드에 따라 어느 한 뱅크에 대한 PASR의 형태를 구분하는 제어신호 pasr_bh 및 pasr_bq와, RAS발생부(70~90)를 활성화시키기 위한 제어신호들 pasr_bk1, pasr_bk23을 선택적으로 출력한다.

【보정대상항목】 식별번호 106

【보정방법】 정정

【보정내용】

낸드게이트 ND10는 내부 어드레스 i_add<n-2>와 제어 신호 pasr_bh를 낸드 연산한다. 노아게이트 NOR2는 내부 어드레스 i_add<n-2>와 내부 어드레스 i_add<n-3>를 노아 연산하고, 인버터 IV14는 노아게이트 NOR2의 출력신호를 반전시켜 출력한다. 낸드게이트 ND11는 인버터 IV14의 출력신호와 제어 신호 pasr_bq를 낸드 연산한다. 낸드게이트 ND12는 낸드게이트 ND10의 출력신호와 낸드게이트 ND11의 출력신호를 낸드 연산하고, 인버터 IV15는 낸드게이트 ND12의 출력신호를 반전시켜 출력한다.

【보정대상항목】 식별번호 113

【보정방법】 정정

【보정내용】

인버터 IV18는 NMOS트랜지스터 N1 및 NMOS트랜지스터 N3의 공통 드레인 단자의 출력신호를 반전하여 뱅크(160)를 활성화시키기 위한 로우 액티브 신호 row_act<0>를 발생한다.

【보정대상항목】 식별번호 131

【보정방법】 정정

【보정내용】

도 15는 RAS 발생부를 제어하는 제어 신호들에 관한 동작 타이밍도로, 특히 본 발명에 따른 "하프 오브 뱅크"의 PASR 상태에서 하나의 뱅크내에 내부 어드레스 i_add<n-2>의 각 위상 변화에 따른 리프레쉬 동작 신호 r_act 및 내부 동작 신호 i_act의 각 활성화/비활성화 상태를 나타내고 있다.

【보정대상항목】 식별번호 137

【보정방법】 정정

【보정내용】

이처럼, 내부 어드레스 i_add<n-2>가 하이 레벨이 되는 구간에서는, 리프레쉬 제어부(50)는 리프레쉬 카운터(30)에서 발생하는 셀프 리프레쉬 요구 신호 sref_req의 펄스 신호가 리프레쉬 동작 신호 r_act로 출력되지 못하도록 차단하여 리프레쉬 동작 신호 r_act를 비활성화 시킨다. 리프레쉬 동작신호 r_act가 비활성화되면 RAS 발생부

(60)도 비활성화 되어 뱅크(160)도 동작하지 않게 된다. 따라서, 뱅크(160)의 절반에 대해서만 셀프 리프레쉬가 이루어진다.

【보정대상항목】 식별번호 139

【보정방법】 정정

【보정내용】

이처럼, RAS 발생부(60 ~ 90)를 활성화 시키기 위한 리프레쉬 동작 신호 r_act 가 발생되지 않더라도, 내부 동작 신호 i_act 는 셀프 리프레쉬 요구 신호 $sref_req$ 에 맞춰 계속 발생되도록 함으로써, 정해진 리프레쉬 레이트 동안 뱅크(160)의 절반("하프 오브 뱅크")에 해당하는 셀 어레이들에 대해서만 셀프 리프레쉬가 이루어지도록 할 수 있다.

【보정대상항목】 식별번호 143

【보정방법】 정정

【보정내용】

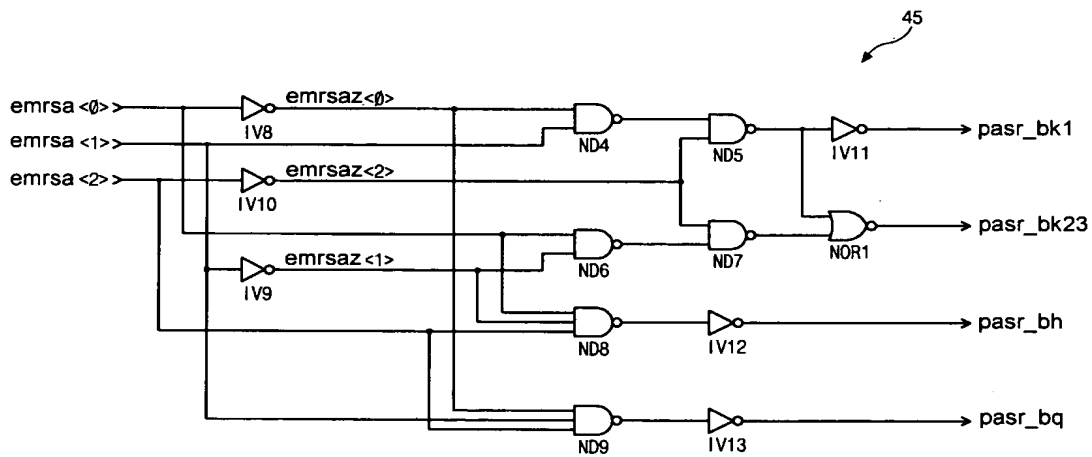
그런데, 뱅크(160)의 1/2에 해당하는 구간에서는 내부 어드레스 $i_add<n-3>$ 가 다시 로우 레벨로 천이된다. 그러나, 이 구간에서는 상술된 "하프 오브 뱅크"에서와 같이 내부 어드레스 $i_add<n-2>$ 가 하이 레벨이 되므로 리프레쉬 동작 신호 r_act 는 비활성화 상태를 유지한다.

【보정대상항목】 도 11

【보정방법】 정정

【보정내용】

【도 11】



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2003.02.10
【국제특허분류】	H01L
【발명의 명칭】	셀프 리프레쉬 장치 및 방법
【발명의 영문명칭】	Self refresh apparatus and method
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	김태윤
【성명의 영문표기】	KIM,Tae Yun
【주민등록번호】	660201-1552715
【우편번호】	369-800
【주소】	충청북도 음성군 읍내리 청솔아파트 1106호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	21	면	21,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	13	항	525,000	원
【합계】	575,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명의 셀프 리프레쉬 방법은 특정 बैं크에 대한 부분 어레이 셀프 리프레쉬 동작시 로우 어드레스 스트로브 발생부를 활성화시키기 위한 리프레쉬 동작 신호와 내부 어드레스를 카운팅하기 위한 내부 동작 신호를 서로 구분하여, 리프레쉬 동작 신호는 부분 어레이 셀프 리프레쉬 형태에 따라 선택적을 발생되도록 하지만 내부 동작 신호는 부분 어레이 셀프 리프레쉬 형태에 상관없이 셀프 리프레쉬 동작시 셀프 리프레쉬 요구 신호에 대응하여 지속적으로 발생될 수 있도록 한다. 이처럼, 내부 동작 신호를 부분 어레이 셀프 리프레쉬 형태에 상관없이 지속적으로 발생시켜 내부 어드레스를 카운팅 함으로써 셀프 리프레쉬 동작시 리프레쉬 레이트의 오류를 방지할 수 있다.

【대표도】

도 6

【명세서】**【발명의 명칭】**

셀프 리프레쉬 장치 및 방법{Self refresh apparatus and method}

【도면의 간단한 설명】

도 1은 일반적인 메모리 뱅크의 구조를 나타내는 도면.

도 2는 리프레쉬 레이트를 설명하기 위한 도면.

도 3은 리프레쉬 레이트의 오류를 설명하기 위한 도면.

도 4는 본 발명의 EMRS 코드를 나타내는 도면.

도 5는 본 발명의 셀프 리프레쉬 진입 및 종료에 관한 동작 타이밍도.

도 6은 본 발명에 따른 셀프 리프레쉬 장치의 구성도.

도 7은 외부 명령에 의해 셀프 리프레쉬 신호와 셀프 리프레쉬 요구 신호의 활성화 관계를 나타낸 도면.

도 8은 도 6의 PASR 디코더의 상세 구성도.

도 9는 도 8의 EMRS 디코더의 상세 회로도.

도 10은 도 8의 EMRS 어드레스 래치의 상세 회로도.

도 11은 도 8의 PASR 제어부의 상세 회로도.

도 12는 도 6의 리프레쉬 제어부의 상세 회로도.

도 13는 도 6의 RAS 발생부<0>에 대한 상세 회로도.

도 14는 도 6의 RAS 발생부<1><2><3>에 대한 상세 회로도.

도 15는 도 6의 RAS 발생부를 제어하는 제어신호들에 관한 동작 타이밍도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <16> 본 발명은 셀프 리프레쉬 장치 및 방법에 관한 것으로, 보다 상세하게는, 리프레쉬가 필요한 셀 어레이에 대해서만 리프레쉬 동작을 수행하는 부분 어레이 셀프 리프레쉬(Partial Array Self Refresh; 이하, PASR이라고 지칭함) 중 어느 한 बैं크의 1/2(Half of Bank) 또는 1/4(Quarter of Bank)에 대해서만 셀프 리프레쉬 동작을 수행할 때 발생할 수 있는 셀프 리프레쉬 레이트에 대한 오류를 수정해주기 위한 셀프 리프레쉬 장치 및 방법에 관한 것이다.
- <17> 대부분의 컴퓨터 시스템의 주기억 장치로 사용되는 디램(DRAM)의 셀은 데이터 손실을 방지하기 위하여 리프레쉬를 해주어야 한다.
- <18> 종래의 반도체 메모리 장치는 셀의 데이터 저장 여부와 상관없이 모든 셀 어레이에 대하여 무조건 리프레쉬 동작을 수행한다. 이는 각 셀들에 대한 데이터 저장 여부를 알기 위해서는 메모리 내부에 어떤 셀 어레이가 데이터를 저장하고 있는지의 여부를 기억하기 위한 메모리 수단이 추가적으로 필요하기 때문에 효율이 떨어지기 때문이다.
- <19> 따라서, 이러한 문제를 해결하기 위해 PASR이라는 방법을 사용하고 있다.
- <20> PASR 동작은 셀프 리프레쉬 동작시 데이터를 갖고 있는 셀 어레이에 대해서만 같은 주기 동안에 리프레쉬를 실시하게 되므로 소비 전력을 줄일 수 있다.

- <21> 예를 들어, 메모리의 전체 셀들에 대해 리프레쉬를 진행하는데 걸리는 시간 즉 리프레쉬 레이트가 "n"초이고 필요한 데이터를 갖고 있는 메모리 셀이 뱅크의 절반 뿐일 경우, PASR 동작을 통하여 같은 리프레쉬 레이트인 "n"초 동안 뱅크의 절반만 리프레쉬를 하게 되면 전력 소비는 절반으로 줄어들게 된다.
- <22> 도 1은 종래 4개의 뱅크로 이루어진 메모리(10)에서 어느 한 뱅크의 셀 어레이에 대해 셀프 리프레쉬를 행해지는 과정을 설명하기 위한 도면이다.
- <23> 뱅크<2>의 메모리 셀 어레이는 두 개의 "하프 오브 뱅크"(half of bank)(15, 16)로 구분된다. 그리고, 워드라인(11) 및 워드라인(12)은 각각 "하프 오브 뱅크"(15)의 첫 번째 및 마지막 워드라인이며, 워드라인(13) 및 워드라인(14)은 각각 "하프 오브 뱅크"(16)의 첫 번째 및 마지막 워드라인을 나타낸다.
- <24> 도 2는 리프레쉬 레이트를 설명하기 위한 도면으로, "올 뱅크"에 대한 셀프 리프레쉬를 수행시의 동작 타이밍도이다. 그리고, 도 3은 리프레쉬 레이트의 오류를 설명하기 위한 도면으로, PASR 동작을 이용하여 "하프 오브 뱅크"에 대해 셀프 리프레쉬를 수행시의 동작 타이밍도이다.
- <25> 이때, 뱅크<2>에 대한 리프레쉬시 내부 어드레스 카운터에 의하여 워드라인(11)부터 카운트가 진행되며, 리프레쉬 레이트는 64 msec라 가정한다.
- <26> 뱅크<2>에 대해 "올 뱅크"(All Bank) 오토 리프레쉬 또는 셀프 리프레쉬를 진행하는 "올 뱅크" PASR 명령을 수행시, 각 "하프 오브 뱅크"(15, 16)에 대한 리스프레쉬 수행 시간은 각각 32 msec가 걸리게 되어 뱅크<2> 전체에 대해 리프레쉬를 수행하는 데는 64 msec가 걸린다.

- <27> 즉, 하나의 뱅크<2>에 대한 모든 셀들을 리프레쉬 하기 위해서는 워드라인(11)부터 워드라인(14)까지 모든 워드라인들을 순차적으로 활성화시켜야 하며, 맨 처음 활성화 되었던 워드라인(11)이 다시 활성화 되는데 약 64 msec가 걸리게 된다.
- <28> 이때, PASR 동작으로 "하프 오브 뱅크"의 셀프 리프레쉬를 수행한다는 것은 워드라인(11)부터 워드라인(12)까지의 워드라인들만을 64 msec 동안 순차적으로 활성화 시킨다는 것이다.
- <29> PASR 동작을 이용해 64 msec 동안에 "하프 오브 뱅크"를 셀프 리프레쉬 하기 위한 방법은 셀프 리프레쉬를 필요로 하지 않는 내부 로우 어드레스를 카운트하지 않도록 하는 대신 리프레쉬 요구 신호의 펄스간격을 2배로 늘려주게 된다.
- <30> 또한, PASR 동작을 이용해 64 msec 동안에 "쿼터(Quarter) 오브 뱅크"를 셀프 리프레쉬 하기 위한 방법은 셀프 리프레쉬를 필요로 하지 않는 내부 로우 어드레스를 카운트하지 않도록 하는 대신 리프레쉬 요구 신호의 펄스 간격을 4배로 늘려주게 된다.
- <31> 그런데, 상술한 방법으로 "하프 오브 뱅크"에 대해 셀프 리프레쉬를 행하는 경우, EMRS(Extended Mode Register Set)로 "하프 오브 뱅크"에 대한 셀프 리프레쉬가 셋팅된 후, 워드라인(11)부터 셀프 리프레쉬를 순차적으로 진행하여 워드라인(12)까지 진행한다. 워드라인(12)까지 셀프 리프레쉬가 이루어진 다음에는 외부 명령에 의해 셀프 리프레쉬가 종료되며, 이때 워드라인(11)부터 워드라인(12)까지 리프레쉬를 진행하는데 소요되는 시간은 64 msec가 된다. 이는 "하프 오브 뱅크"에 대한 셀프 리프레쉬를 수행하는 동안 "올 뱅크"에 대한 셀프 리프레쉬일 때의 절반에 해당하는 카운트만 진행되었으나, 셀프 리프레쉬 요구 신호의 펄스 간격이 2배로 늘었기 때문이다.
- <32> 도 2의 "가" 구간보다 도 3의 "나" 구간이 2배의 길이(시간)를 갖게 됨을 볼 수 있다.

- <33> 셀프 리프레쉬가 종료된 후 부터는 정상 동작을 하면서 오토 리프레쉬에 의하여 리프레쉬를 하게 된다. 그러므로, 셀프 리프레쉬가 워드라인(12)에서 끝났기 때문에 내부 어드레스 카운터는 오토 리프레쉬 명령에 의해 워드라인(13)부터 카운터를 하게 된다.
- <34> 즉, 오토 리프레쉬가 끝나지 않은 상황이라면 내부 어드레스 카운터는 다시 워드라인(11)부터 카운트를 시작하지만, 오토 리프레쉬가 끝났기 때문에 "하프 오브 뱅크"에 대한 PASR 동작이 종료되고 내부 어드레스 카운터는 전체 로우 어드레스에 대하여 도 2에서의 펄스 간격("가")으로 카운트를 하게 된다.
- <35> 따라서, 워드라인(13)부터 워드라인(14)까지 순차적으로 오토 리프레쉬를 진행하는데 32 msec가 소요되어 결국 다시 워드라인(11)에 대해 리프레쉬를 하기까지는 도 3에서와 같이 96 msec가 소요되게 된다.
- <36> 리프레쉬 레이트가 64 msec 이므로 약 64 msec 정도 마다 리프레쉬가 이루어져야 하는데, 워드라인(11)의 경우 96 msec 후에 리프레쉬 동작이 수행되므로 데이터를 손실할 가능성이 커지게 되는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

- <37> 따라서, 상술된 문제를 해결하기 위한 본 발명의 목적은 일정한 주기로 펄스를 발생시키는 셀프 리프레쉬 요구 신호에 따라 PASR의 형태에 상관없이 내부 로우 어드레스 신호를 발생시켜 정해진 리프레쉬 레이트 동안 어느 한 뱅크의 모든 로우 어드레스를 카운트 하며, 데이터가 저장된 셀 어레이들에 대해서는 PASR의 형태에 따라 선택적으로 셀프 리프레쉬 요구 신호의 동작을 제어함으로써 리프레쉬 레이트의 오류를 방지하는데 있다.

【발명의 구성 및 작용】

<38> 위와 같은 목적을 달성하기 위한 본 발명의 셀프 리프레쉬 장치는 외부로부터 인가되는 명령을 디코딩하여 해당 명령 신호를 발생하는 명령 디코더; 명령 디코더로부터 셀프 리프레쉬 신호가 활성화 되면, 기 설정된 리프레쉬 주기에 맞는 카운팅을 실시하여 일정 주기로 리프레쉬 요구 신호를 출력하는 리프레쉬 카운터; 명령 디코더로부터의 모드 레지스터 셋트 신호에 따라 기 설정된 어드레스를 확장 모드 레지스터 셋트 코드로 디코딩하여 래치하고, 명령 디코더로부터 셀프 리프레쉬 신호가 활성화 되면 해당 어드레스를 조합하여 부분 어레이 셀프 리프레쉬 동작을 수행하기 위한 복수개의 제어 신호들을 선택적으로 출력하는 부분 어레이 셀프 리프레쉬 디코더; 리프레쉬 동작시 뱅크들을 활성화 시키기 위한 리프레쉬 동작 신호와 내부 어드레스를 카운팅하기 위한 내부 동작 신호를 출력하는 리프레쉬 제어부; 복수개의 제어 신호와 리프레쉬 동작 신호의 선택적 활성화에 따라 로우 액티브 신호를 출력하여 뱅크를 선택적으로 활성화시키는 로우 어드레스 스트로브 발생부; 내부 동작 신호가 활성화시 내부 어드레스를 카운팅하여 발생하는 내부 어드레스 카운터; 및 노말 동작시에는 외부에서 입력되는 외부 어드레스를 선택된 뱅크의 로우 어드레스로 출력하며, 리프레쉬 동작시에는 상기 내부 어드레스를 상기 로우 어드레스로 출력하는 로우 어드레스 프리 디코더를 구비한다.

<39> 본 발명의 셀프 리프레쉬 방법은 확장 모드 레지스터 셋트 코드에 따라 반도체 메모리에 대한 부분 어레이 셀프 리프레쉬 동작을 수행하는 셀프 리프레쉬 방법에 있어서, 모드 레지스터 셋트 신호에 따라 기 설정된 어드레스를 확장 모드 레지스터 셋트 코드로 디코딩하는 제 1 단계; 확장 모드 레지스터 셋트 코드가 어느 한 뱅크의 절반에 대한 셀프 리프레쉬인 경우 뱅크내의 최상위 어드레스의 상태를 확인하는 제 2 단계; 해당 어레이에 대한 부분 어레이 셀프

리프레쉬는 최상위 어드레스가 로우 레벨인 동안에만 수행하나, 뱅크에 대한 로우 어드레스 카운팅은 기 설정된 리프레쉬 레이트 동안 지속적으로 실행하는 제 3 단계를 포함한다.

<40> 본 발명의 셀프 리프레쉬 방법은 확장 모드 레지스터 셋트 코드에 따라 반도체 메모리에 대한 부분 어레이 셀프 리프레쉬 동작을 수행하는 셀프 리프레쉬 방법에 있어서, 모드 레지스터 셋트 신호에 따라 기 설정된 어드레스를 확장 모드 레지스터 셋트 코드로 디코딩하는 제 1 단계; 확장 모드 레지스터 셋트 코드가 어느 한 뱅크의 쿼터에 대한 셀프 리프레쉬인 경우 뱅크내의 2개의 최상위 어드레스의 상태를 확인하는 제 2 단계; 해당 어레이에 대한 부분 어레이 셀프 리프레쉬는 두개의 최상위 어드레스가 모두 로우 레벨인 동안에만 수행하나, 뱅크에 대한 로우 어드레스 카운팅은 기 설정된 리프레쉬 레이트 동안 지속적으로 실행하는 제 3 단계를 포함한다.

<41> 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.

<42> 도 4는 본 발명에 따른 리프레쉬 장치의 리프레쉬 형태를 적용한 EMRS 코드를 나타낸다.

<43> EMRS 코드 중 어드레스 A0~A2는 PASR 설정을 위한 코드로 사용된다. 따라서, 외부로부터 EMRS 명령 입력시 도 4과 같은 EMRS 코드에 따라 해당하는 형태의 셀프 리프레쉬를 수행한다.

<44> 먼저, 어드레스 A0~A2가 모두 0이 되는 경우 "모든 뱅크"를 적용하여 노말 동작에서와 같이 전체 셀을 대상으로 셀프 리프레쉬를 수행한다.

<45> 어드레스 A0만 1이 되는 경우에는 "하프 어레이"를 적용하여 전체 셀 어레이 중 절반에 해당하는 셀 어레이를 대상으로 셀프 리프레쉬를 수행한다. 즉, 도 1에서와 같이 4 뱅크 구조

의 디램일 경우 2 뱅크에 대하여만 셀프 리프레쉬를 수행한다. 이때, 뱅크 선택 어드레스 BA1는 0이 된다.

- <46> 어드레스 A1만 1이 되는 경우에는 "쿼터 어레이"를 적용하여 전체 셀 어레이 중 쿼터 (1/4)에 해당하는 셀 어레이를 대상으로 셀프 리프레쉬를 수행한다. 즉, 도 1에서와 같이 4 뱅크 구조의 디램일 경우 1 뱅크에 대하여만 셀프 리프레쉬를 수행한다. 여기서, 뱅크 선택 어드레스 BA0, BA1는 모두 0이 된다.
- <47> 또한, 어드레스 A1만 0이 되는 경우에는 "하프 오브 뱅크"를 적용하여 어느 한 뱅크의 절반에 해당하는 셀 어레이를 대상으로 셀프 리프레쉬를 수행한다. 예컨대, 도 1에서 뱅크<2>의 "하프 오브 뱅크"(15)에 해당하는 셀 어레이에 대해서만 셀프 리프레쉬를 수행한다. 이때, 로오 어드레스의 최상위 비트(MSB; Most Significant Bit)인 뱅크 선택 어드레스 BA0, BA1 중 하나가 0이 된다.
- <48> 어드레스 A0만 0이 되는 경우 "쿼터 오프 뱅크"를 적용하여 어느 한 뱅크의 1/4에 해당하는 셀 어레이를 대상으로 셀프 리프레쉬를 수행한다. 이때, 로오 어드레스의 최상위 비트인 뱅크 선택 어드레스 BA0, BA1는 모두 0이 된다.
- <49> 그 외에도, 어드레스 A2만 0인 경우, 어드레스 A2만 1인 경우 및 어드레스 A0~A2가 모두 1인 경우에는 RFU(Reserved for Future Use) 코드로 사용한다.
- <50> 도 5는 본 발명의 PASR 동작시 셀프 리프레쉬 진입 및 종료에 관한 동작 타이밍도를 나타낸다.

- <51> 먼저, EMRS 코드에 PASR의 형태를 미리 셋팅한 후, 셀프 리프레쉬 명령 SREF이 인가되면 셀프 리프레쉬 동작의 수행시 미리 셋팅된 PASR 형태에 따라 셀프 리프레쉬 동작을 수행하게 된다. 따라서, EMRS 코드에 셋팅된 셀 어레이만 선택적으로 셀프 리프레쉬를 수행한다.
- <52> 다음에, 클럭 CKE이 하이로 인에이블 되어 셀프 리프레쉬 종료 명령 SREX이 인가되면, 셀프 리프레쉬가 종료되어 노말 동작을 수행한다. 노말 동작시에는 모든 셀 어레이에 대하여 리프레쉬 동작을 수행한다.
- <53> 이후에, 다시 셀프 리프레쉬 명령 SREF이 인가되면 기설정된 EMRS 코드에 따라 PASR 동작을 수행한다.
- <54> 도 6은 본 발명에 따른 셀프 리프레쉬 장치에 관한 구성도이다.
- <55> 본 발명의 셀프 리프레쉬 장치는 어드레스 버퍼(10), 명령 디코더(20), 리프레쉬 카운터(30), PASR 디코더(40), 리프레쉬 제어부(50), RAS(Row Address Strobe) 발생부(60~90), 내부 어드레스 카운터(100), 로우 어드레스 프리 디코더(110), 뱅크 제어 블록(120~150), 및 셀 어레이 단위의 뱅크(160~190)를 구비한다.
- <56> 여기서, 어드레스 버퍼(10)는 외부로부터 인가되는 어드레스 $a<0:n>$ 를 버퍼링하여 버퍼링된 어드레스 $add<0:n>$ 를 출력한다.
- <57> 명령 디코더(20)는 외부로부터 인가되는 명령 신호 CMD을 디코딩하여 오토 리프레쉬 신호 $aref$, 셀프 리프레쉬 신호 $sref$, 모드 레지스터 셋트 신호 $mregset$, 및 노말 동작 신호 n_act 를 출력한다.

- <58> 리프레쉬 카운터(30)는 셀프 리프레쉬 동작임을 나타내는 셀프 리프레쉬 신호 sref가 활성화되면, 리프레쉬 오실레이터를 작동시켜 기 설정된 일정한 주기로 펄스가 발생하는 셀프 리프레쉬 요구 신호 sref_req를 발생한다.
- <59> 도 7은 외부 명령 CMD 입력시 셀프 리프레쉬 신호 sref 및 리프레쉬 요구 신호 ref_req에 대한 동작 타이밍도를 나타낸다.
- <60> 먼저, 셀프 리프레쉬 신호 sref는 셀프 리프레쉬 명령 SREF에 의해 활성화되고, 셀프 리프레쉬 종료 명령 SREX에 의하여 비활성화된다. 그리고, 리프레쉬 요구 신호 ref_req는 리프레쉬 동작시 내부의 리프레쉬 카운터(30)에 의하여 정해진 리프레쉬 구간 동안 정해진 사이클수만큼 펄스 신호를 발생한다. 예컨대, 8K의 셀 어레이를 64 msec 동안 리프레쉬하는 리프레쉬 레이트를 가진다면 64 msec 동안 8K 사이클의 리프레쉬 동작이 이루어져야 하므로 매 7.8 μ sec에 한번씩 셀프 리프레쉬 요구 신호 sref_req가 펄스로 발생한다.
- <61> PASR 디코더(40)는 명령 디코더(20)로부터 인가되는 모드 레지스터 셋트 신호 mregset 및 셀프 리프레쉬 신호 sref와, 뱅크 선택 어드레스 add<n>, add<n-1>와, 어드레스 add<0:2>를 디코딩하여 미리 셋팅된 코드에 따라 PASR 동작을 수행한다. 특히, PASR의 형태가 "하프 오브 뱅크" 또는 "쿼터 오브 뱅크"인 경우에는 각각 제어 신호 pasr_bh 또는 제어 신호 pasr_bq를 활성화시킨다.
- <62> 리프레쉬 제어부(50)는 명령 디코더(20)로부터의 오토 리프레쉬 신호 aref 및 셀프 리프레쉬 신호 sref 와, 리프레쉬 카운터(30)로부터의 셀프 리프레쉬 요구 신호 sref_req 와, PASR 디코더(40)로부터의 제어 신호 pasr_bh, pasr_bq, 및 내부 어드레스 카운터(100)로부터의 내부 어드레스 i_add<n-2>, i_add<n-3>에 따라 전체 리프레쉬 동작을 제어하기 위한 내부 동작 신호 i_act 및 리프레쉬 동작 신호 r_act를 발생한다. 여기에서, 내부 동작 신호 i_act는 오토

리프레쉬 명령 또는 셀프 리프레쉬 명령시 내부 어드레스 카운터(100)를 활성화 시키기 위한 신호이며, 리프레쉬 동작 신호 r_act 는 RAS 발생부(60 ~ 90)를 제어하여 해당 बैं크의 셀 어레이들의 리프레쉬 동작을 제어하기 위한 신호이다.

<63> 특히, 본 발명의 주된 기능으로, 리프레쉬 제어부(50)는 제어 신호 $pasr_bh$, $pasr_bq$ 가 활성화 된 후 내부 어드레스 $i_add<n-2>$, $i_add<n-3>$ 중 어느 하나라도 하이 레벨이 되면, 내부 동작 신호 i_act 는 지속적으로 발생시키지만 셀프 리프레쉬 요구 신호 $sref_req$ 의 펄스는 리프레쉬 동작 신호 r_act 로 전달되지 못하도록 한다.

<64> RAS(Row Address Strobe) 발생부(60)는 명령 디코더(20)로부터의 노말 동작 신호 n_act 와, PASR 디코더(40)로부터의 बैं크 선택 어드레스 add_bk0 , 및 리프레쉬 제어부(50)로부터의 리프레쉬 동작 신호 r_act 에 따라 बैं크 제어 블록(120)으로 로우 액티브 신호 $row_act<0>$ 를 출력한다.

<65> RAS 발생부(70)는 노말 동작 신호 n_act 와, बैं크 선택 어드레스 add_bk1 와, 리프레쉬 동작 신호 r_act , 및 제어 신호 $pasr_bk1$ 에 따라 बैं크 제어 블록(130)으로 로우 액티브 신호 row_act 를 출력한다.

<66> RAS발생부(80)는 노말 동작 신호 n_act 와, बैं크 선택 어드레스 add_bk2 와, 리프레쉬 동작 신호 r_act 및 제어신호 $pasr_bk23$ 에 따라 बैं크 제어 블록(140)으로 로우 액티브 신호 row_act 를 출력한다.

<67> RAS발생부(90)는 노말 동작 신호 n_act 와, बैं크 선택 어드레스 add_bk3 와, 리프레쉬 동작 신호 r_act , 및 제어신호 $pasr_bk23$ 에 따라 बैं크 제어 블록(150)으로 로우 액티브 신호 row_act 를 출력한다.

- <68> 내부 어드레스 카운터(100)는 리프레쉬 제어부(50)로부터의 내부 동작 신호 i_act 에 따라 리프레쉬 동작시 내부 어드레스를 카운팅하여 내부 어드레스 $i_add<n-2>$, $i_add<n-3>$ 를 리프레쉬 제어부(50)로 출력하고, 내부 어드레스 $i_add<0:n-2>$ 를 로우 어드레스 프리 디코더(110)로 출력한다.
- <69> 로우 어드레스 프리 디코더(110)는 외부에서 입력되는 외부 어드레스 $add<0:n-2>$ 와 내부 어드레스 카운터(100)로부터의 내부 어드레스 $i_add<0:n-2>$ 를 프리 디코딩한다.
- <70> 그리고, 로우 어드레스 프리 디코더(110)는 노말 동작시에는 외부 어드레스 $add<0:n-2>$ 를 로우 어드레스 $row_add<0:n-2>$ 로 발생하여 각 बैं크 제어 블록(120 ~ 150)으로 출력한다.
- <71> 또한, 로우 어드레스 프리 디코더(110)는 리프레쉬 동작시에는 내부 어드레스 $i_add<0:n-2>$ 를 로우 어드레스 $row_add<0:n-2>$ 로 발생하여 각 बैं크 제어 블록(120 ~ 150)으로 출력한다.
- <72> बैं크 제어 블록(120 ~ 150)은 각각의 셀 어레이 단위를 이루는 각 बैं크(160 ~ 190)를 제어하는 블록이다.
- <73> 여기서, 어드레스 $add<0:n>$ 는 메모리 뎁스(depth)에 해당하는 로우 어드레스로서 0번부터 n 번까지이며, 로우 어드레스 중에서 최상위 비트인 어드레스가 बैं크를 선택하기 위한 बैं크 선택 어드레스이다.
- <74> 따라서, बैं크가 4개로 구성되면 2개의 बैं크 선택 어드레스가 필요하므로 n 번과 $n-1$ 번이 बैं크 선택 어드레스에 해당하며, 0번부터 $n-2$ 번까지의 어드레스는 각 बैं크의 어레이 및 워드라인 선택을 위한 어드레스이다.

- <75> 상술된 각 구성요소들 중 PASR 디코더(40), 리프레쉬 제어부(50), 및 RAS 발생부(60 ~ 90)의 구성을 보다 상세하게 설명한다.
- <76> 도 8은 도 6의 PASR 디코더(40)의 상세 구성도이다.
- <77> PASR 디코더(40)는 EMRS에 대한 명령을 디코딩하는 EMRS 디코더(41), EMRS 명령의 입력 시 PASR 코드를 나타내는 어드레스 add<0>, add<1>, add<2>를 기억하는 EMRS 어드레스 래치(42 ~ 44), 및 셀 어레이에 대한 선택적인 셀프 리프레쉬 동작이 가능하도록 PASR을 제어하는 PASR 제어부(45)를 구비한다.
- <78> 여기서, EMRS 디코더(41)는 명령 디코더(20)로부터 인가되는 모드 레지스터 셋트 신호 mregset와, 뱅크 선택 어드레스 add<n>, add<n-1>를 디코딩하여 레지스터 셋트 제어신호 emrsp를 출력한다.
- <79> 어드레스 래치(42 ~ 44)는 모드 레지스터 셋트 신호 mregset와, 레지스터 셋트 제어신호 emrsp, 및 셀프 리프레쉬 신호 sref에 따라 각각 어드레스 add<0>, add<1>, add<2>를 래치하여 레지스터 셋트 어드레스 emrsa<0>, emrsa<1>, emrsa<2>를 출력한다.
- <80> PASR 제어부(45)는 어드레스 래치(42 ~ 44)로부터 인가되는 각각의 레지스터 셋트 어드레스 emrsa<0>, emrsa<1>, emrsa<2>에 따라 제어신호 pasr_bk1, pasr_bk23, pasr_bh, pasr_bq를 선택적으로 출력한다. 여기에서, 제어 신호 pasr_bk1, pasr_bk23는 PASR 동작시 뱅크들을 선택적으로 활성화시키기 위한 신호이며, 제어 신호 pasr_bh, pasr_bq는 각각 PASR의 형태가 "하프 오브 뱅크" 또는 "쿼터 오브 뱅크"인 경우에 활성화된다.
- <81> 도 9는 도 8의 EMRS 디코더(41)에 대한 상세 회로도이다.

- <82> EMRS 디코더(41)는 뱅크 선택 어드레스 $add<n-1>$ 을 반전하여 출력하는 인버터 IV1 및 인버터 IV1의 출력신호와 뱅크 선택 어드레스 $add<n>$ 를 낸드 연산하는 낸드게이트 ND1를 구비한다. 그리고, 낸드게이트 ND1의 출력신호를 반전하여 출력하는 인버터 IV2 및 인버터 IV2의 출력신호와 모드 레지스터 셋트 신호 $mregset$ 를 낸드 연산하여 레지스터 셋트 제어신호 $emrsp$ 를 출력하는 낸드게이트 ND2를 구비한다.
- <83> 이러한 구성을 갖는 EMRS 디코더(41)의 동작과정을 설명하면 다음과 같다.
- <84> PASR의 수행을 위해 외부로부터 인가되는 EMRS 명령에 따라 디코더(20)에서 모드 레지스터 셋트 신호 $mregset$ 가 활성화 되면, EMRS 디코더(41)는 버퍼링된 어드레스 $add<0:n>$ 중 뱅크 선택 어드레스 $add<n>$ 가 하이 레벨이고 뱅크 선택 어드레스 $add<n-1>$ 가 로우 레벨인지를 판단한다. 이 후에, 뱅크 선택 어드레스 $add<n>$, $add<n-1>$ 의 레벨이 도 4의 EMRS 코드와 일치할 경우 레지스터 셋트 제어신호 $emrsp$ 를 활성화시킨다.
- <85> 도 10은 도 8의 EMRS 어드레스 래치(42 ~ 44)에 대한 상세 회로도이다.
- <86> EMRS 어드레스 래치(42 ~ 44)는 모드 레지스터 셋트 신호 $mregset$ 에 따라 어드레스 $add<i>$ (여기서, $i = 0, 1, 2$)를 선택적으로 출력하는 스위치 S/W<0> 및 스위치 S/W<0>의 출력신호를 래치하는 래치 R1를 구비한다. 여기서, 래치 R1는 서로의 출력신호를 입력신호로 하는 인버터 IV3, IV4를 구비한다.
- <87> 그리고, EMRS 어드레스 래치(42 ~ 44)는 레지스터 셋트 제어신호 $emrsp$ 에 따라 래치 R1의 출력신호를 선택적으로 출력하는 스위치 S/W<1> 및 스위치 S/W<1>의 출력신호를 래치하는 래치 R2를 구비한다. 여기서, 래치 R2는 서로의 출력신호를 입력신호로 하는 인버터 IV5, IV6를 구비한다.

- <88> 또한, EMRS 어드레스 래치(42~44)는 셀프 리프레쉬 신호 sref와 래치 R2의 출력을 낸드 연산하는 낸드게이트 ND3 및 낸드게이트 ND3의 출력신호를 반전하여 레지스터 셋트 어드레스 emrsa<i>(여기서, $i = 0, 1, 2$)를 출력하는 인버터 IV7을 구비한다.
- <89> 이러한 구성을 갖는 EMRS 어드레스 래치(42 ~ 44)는 모드 레지스터 셋트 신호 mregset 및 레지스터 셋트 제어신호 emrsp에 따라 스위치 S/W<1> 및 스위치 S/W<1>를 제어하여 EMRS 명령과 함께 입력되는 어드레스 add<0:2>를 래치한다. 그리고, EMRS 어드레스 래치(42 ~ 44)는 셀프 리프레쉬 신호 sref의 입력에 따라 레지스터 셋트 어드레스 emrsa<i>를 활성화시킨다.
- <90> 여기에서, EMRS의 코드를 래치하고 있는 중에도 셀프 리프레쉬 신호 sref가 비활성화 상태일 경우에는 레지스터 셋트 어드레스 emrsa<i>는 모두 로우 레벨을 유지한다.
- <91> 도 11은 도 8의 PASR 제어부(45)에 대한 상세 회로도이다.
- <92> 인버터 IV8은 레지스터 셋트 어드레스 emrsa<0>를 반전하여 레지스터 셋트 어드레스 emrsaz<0>를 출력한다. 인버터 IV9는 레지스터 셋트 어드레스 emrsa<1>를 반전하여 레지스터 셋트 어드레스 emrsaz<1>를 출력한다. 인버터 IV10은 레지스터 셋트 어드레스 emrsa<2>를 반전하여 레지스터 셋트 어드레스 emrsaz<2>를 출력한다.
- <93> 그리고, 낸드게이트 ND4는 레지스터 셋트 어드레스 emrsaz<0>와 레지스터 셋트 어드레스 emrsa<1>를 낸드 연산하고, 낸드게이트 ND5는 낸드게이트 ND4의 출력신호와 레지스터 셋트 어드레스 emrsaz<2>를 낸드 연산하여 출력한다. 인버터 IV11은 낸드게이트 ND5의 출력신호를 반전하여 제어 신호 pasr_bk1을 출력한다.

- <94> 낸드게이트 ND6는 레지스터 셋트 어드레스 emrsa<0>와 레지스터 셋트 어드레스 emrsaz<1>를 낸드 연산하여 출력하고, 낸드게이트 ND7은 레지스터 셋트 어드레스 emrsaz<2>와 낸드게이트 ND6의 출력신호를 낸드연산하여 출력한다. 노아게이트 NOR1는 낸드게이트 ND5의 출력신호와 낸드게이트 ND7의 출력신호를 노아 연산하여 제어 신호 pasr_bk23을 출력한다.
- <95> 낸드게이트 ND8은 레지스터 셋트 어드레스 emrsa<0>, emrsaz<1>, emrsaz<2>를 낸드 연산하여 출력한다. 낸드게이트 ND9는 레지스터 셋트 어드레스 emrsaz<0>, emrsa<1>, emrsaz<2>를 낸드 연산하여 출력한다. 인버터 IV12는 낸드게이트 ND8의 출력신호를 반전하여 제어 신호 pasr_bh출력하고, 인버터 IV13은 낸드게이트 ND9의 출력신호를 반전하여 제어 신호 pasr_bq출력한다.
- <96> 이러한 구성을 갖는 PASR 제어부(45)의 동작 과정을 설명하면 다음과 같다.
- <97> 먼저, 노말 동작시에는 셀프 리프레쉬 신호 sref가 비활성화 상태이므로 레지스터 셋트 어드레스 emrsa<0:2>가 모두 로우 레벨이 된다. 따라서, 제어 신호 pasr_bk1, pasr_bk23가 모두 하이 레벨이 되고, 제어 신호 pasr_bh, pasr_bq는 로우 레벨이 된다.
- <98> 반면에, 셀프 리프레쉬 동작시 레지스터 셋트 어드레스 emrsa<0:2>는 EMRS 명령의 입력시 함께 입력된 어드레스 add<0:2>의 레벨을 나타낸다. 따라서, EMRS명령의 입력시 각 어드레스 0,1,2의 상태에 따라 제어 신호들은 다음과 같은 레벨 변화를 갖는다.
- <99> 먼저, 어드레스 코드가 "모든 뱅크"이면, 제어 신호 pasr_bk1, pasr_bk23는 모두 하이 레벨이 되고, 제어 신호 pasr_bh, pasr_bq는 로우 레벨이 된다.
- <100> 어드레스 코드가 "하프 어레이"이면, 제어 신호 pasr_bk1는 하이 레벨이 되고, 제어 신호 pasr_bk23, pasr_bh, pasr_bq는 로우 레벨이 된다.

- <101> 어드레스 코드가 "쿼터 어레이"이면, 제어 신호 pasr_bk1, pasr_bk23, pasr_bh, pasr_bq는 모두 로우 레벨이 된다.
- <102> 어드레스 코드가 "하프 오브 뱅크"이면, 제어 신호 pasr_bh는 하이 레벨이 되고, 제어 신호 pasr_bk1, pasr_bk23, pasr_bq는 로우 레벨이 된다.
- <103> 어드레스 코드가 "쿼터 오브 뱅크"이면, 제어 신호 pasr_bq는 하이 레벨이 되고, 제어 신호 pasr_bk1, pasr_bk23, pasr_bh는 로우 레벨이 된다.
- <104> 따라서, 기설정된 어드레스 코드에 따라 RAS발생부(50~80)를 활성화시키기 위한 제어 신호들 pasr_bk0, pasr_bk1, pasr_bk23을 선택적으로 출력한다.
- <105> 도 12는 도 6의 리프레쉬 제어부(50)의 상세 구성도이다.
- <106> 낸드게이트 ND10는 내부 어드레스 i_add<n-2>와 제어 신호 pasr_bh를 낸드 연산한다. 노아게이트 NOR2는 내부 어드레스 i_add<n-2>와 내부 어드레스 i_add<n-3>를 노아 연산하고, 인버터 IV14는 노아게이트 NOR2의 출력신호를 반전시켜 출력한다. 낸드게이트 ND11는 인버터 IV14의 출력신호와 제어 신호 pasr_bq를 낸드 연산한다. 낸드게이트 N12는 낸드게이트 N10의 출력신호와 낸드게이트 N11의 출력신호를 낸드 연산하고, 인버터 IV15는 낸드게이트 N12의 출력신호를 반전시켜 출력한다.
- <107> 낸드게이트 ND13은 셀프 리프레쉬 신호 sref와 셀프 리프레쉬 요구신호 sref_req를 낸드 연산하며, 인버터 IV16은 낸드게이트 ND13의 출력신호를 반전하여 출력한다. 노아게이트 NOR3은 오토 리프레쉬 신호 aref와 인버터 IV16의 출력신호를 노아 연산하며, 인버터 IV17은 노아게이트 NOR3의 출력신호를 반전시켜 내부 동작 신호 i_act를 출력한다.

- <108> 낸드게이트 ND14는 인버터 IV15와 인버터 IV17의 출력신호를 낸드 연산하며, 인버터 IV18은 낸드게이트 ND14의 출력신호를 반전시켜 리프레쉬 동작 신호 r_act를 출력한다.
- <109> 도 13은 도 6의 RAS 발생부(60)의 상세 회로도이다.
- <110> RAS 발생부(60)는 전원전압단 VDD 및 접지전압단 GND 사이에 직렬 연결된 PMOS트랜지스터 P1, P2와 NMOS트랜지스터 N1,N2를 구비한다. 여기서, PMOS트랜지스터 P1의 게이트에는 노말 동작 신호 n_act가 입력되고, PMOS트랜지스터 P2의 게이트에는 리프레쉬 동작 신호 r_act가 입력된다.
- <111> 또한, NMOS트랜지스터 N1의 게이트에는 노말 동작 신호 n_act가 입력되고, NMOS트랜지스터 N2의 게이트에는 뱅크 선택 어드레스 add_bk<0>가 입력된다.
- <112> 그리고, PMOS트랜지스터 P2 및 NMOS트랜지스터 N1의 공통 드레인 단자와 접지전압단 GND 사이에는 NMOS트랜지스터 N3 및 NMOS트랜지스터 N4가 직렬 연결된다. 여기서, NMOS트랜지스터 N3의 게이트에는 리프레쉬 동작 신호 r_act가 입력되고, NMOS트랜지스터 N4의 게이트에는 전원 전압단 VDD가 연결된다.
- <113> 인버터 IV14는 NMOS트랜지스터 N1 및 NMOS트랜지스터 N3의 공통 드레인 단자의 출력신호를 반전하여 뱅크(160)를 활성화시키기 위한 로우 액티브 신호 row_act<0>를 발생한다.
- <114> 도 14는 도 6의 RAS 발생부(70 ~ 90)의 상세 회로도이다.
- <115> RAS 발생부(70 ~ 90)의 구성은 NMOS트랜지스터 N4의 게이트에 제어 신호 pasr_bk<j>(j = 1, 23)이 인가되는 것을 제외하고는 상술된 도 13의 RAS 발생부(60)의 구성과 동일하다.

- <116> RAS 발생부(60)는 RAS 발생부(70 ~ 90)와 달리 NMOS트랜지스터 N4의 게이트에 전원전압 VDD가 연결되어 PASR 디코더(40)로부터의 제어 신호를 인가받지 않으므로 PASR 코드가 어떤 조합으로 인가되더라도 뱅크(16)는 항상 선택되게 된다.
- <117> 상술된 구성을 갖는 본 발명의 동작 과정을 설명하면 다음과 같다.
- <118> 먼저, 외부에서 EMRS를 나타내는 명령신호 CMD가 입력되면 명령 디코더(20)는 모드 레지스터 셋트 신호 mregset를 활성화시킨다.
- <119> PASR 디코더(40)는 모드 레지스터 셋트 신호 mregset와 어드레스 버퍼(10)에서 버퍼링된 어드레스 add<0:2>, add<n>, add<n-1>를 디코딩하여 EMRS 코드에 따라 PASR 셋팅을 수행하여 셋팅된 정보를 래치한다.
- <120> 그리고, PASR 디코더(40)에 래치된 정보는 다른 형태의 EMRS 코드가 입력되기 전까지는 래치된 상태를 유지한다.
- <121> PASR 디코더(40)는 노말 동작시에는 제어신호 pasr_bk1, pasr_bk23를 모두 활성화시켜 RAS 발생부(70 ~ 90)를 모두 활성화가 가능한 상태로 유지한다.
- <122> 그리고, 뱅크 선택 어드레스 add<n>, add<n-1>의 상태에 따라 RAS 발생부(60 ~ 90) 중 어느 하나가 활성화되면, 로우 액티브 신호 row_act에 따라 셀 어레이 단위의 뱅크(160 ~ 190) 중 해당하는 하나의 뱅크가 선택된다.
- <123> 또한, 로우 어드레스 프리 디코더(110)는 해당 뱅크의 외부 어드레스 add<0:n-2>를 로우 어드레스 row_add<0:n-2>로 발생하여 해당하는 워드라인이 활성화된다.

- <124> 반면에, 이후에, 외부에서 셀프 리프레쉬 명령 SREF이 입력되면, 명령 디코더(20)로부터 셀프 리프레쉬임을 나타내는 셀프 리프레쉬 신호 sref가 활성화되어 PASR 디코더(40)는 래치하고 있던 PASR 정보를 리프레쉬 제어부(50)로 출력한다.
- <125> 그리고, 리프레쉬 카운터(30)는 셀프 리프레쉬 신호 sref가 활성화됨에 따라 리프레쉬 오실레이터를 작동시켜 기 설정된 일정한 주기로 셀프 리프레쉬 요구 신호 sref_req를 발생시켜 리프레쉬 제어부(50)로 출력한다. 예컨대, 8K의 셀 어레이를 64 msec 동안 리프레쉬하는 리프레쉬 레이트를 가진다면 64 msec 동안 8K 사이클의 리프레쉬 동작이 이루어져야 하므로 매 7.8 μ sec에 한번씩 셀프 리프레쉬 요구 신호 sref_req가 펄스로 발생된다.
- <126> 그리고 PASR 디코더(40)는 래치된 PASR 정보에 따라 제어 신호 pasr_bk1, pasr_bk23를 RAS 발생부(70 ~ 90)로 출력한다.
- <127> 리프레쉬 제어부(50)는 셀프 리프레쉬 신호 sref가 활성화됨에 따라 리프레쉬 카운터(30)로부터의 셀프 리프레쉬 요구 신호 sref_req에 맞춰 내부 동작 신호 i_act 및 리프레쉬 동작 신호 r_act를 발생시킨다.
- <128> EMRS의 코드가 "모든 बैं크"인 셀프 리프레쉬 동작의 경우, PASR 디코더(40)의 제어신호 pasr_bk1, pasr_bk23가 모두 하이 레벨이 되어 RAS 발생부(60 ~ 90)가 모두 활성화 가능한 상태를 유지한다. 그리고, 로우 어드레스 프리 디코더(110)는 내부 어드레스 카운터(100)에 의해 카운트되어 발생하는 내부 어드레스 i_add<0:n-2>를 로우 어드레스 row_add<0:n-2>로 발생하여 해당하는 워드라인이 모든 बैं크(160 ~ 190)에서 활성화 되도록 한다.
- <129> EMRS의 코드가 "하프 어레이"인 셀프 리프레쉬 동작의 경우, PASR 디코더(40)의 제어신호 pasr_bk1만 활성화되고, 제어신호 pasr_bk23는 비활성화 된다. 따라서, RAS 발생부(60, 70)

의 활성화 상태에서 로우 어드레스 프리 디코더(110)는 내부 어드레스 카운터(100)에서 카운트되어 발생하는 내부 어드레스 $i_add<0:n-2>$ 를 로우 어드레스 $row_add<0:n-2>$ 로 발생하여 해당하는 워드라인이 뱅크(160, 170)에서 활성화된다. 한편, RAS 발생부(80, 90)는 제어신호 $pasr_bk23$ 에 따라 비활성화 되어 뱅크(180, 190)는 동작하지 않는다.

<130> EMRS의 코드가 "쿼터 어레이"인 셀프 리프레쉬 동작의 경우, PASR 디코더(40)는 제어신호 $pasr_bk1$ 및 $pasr_bk23$ 를 비활성화 시킨다. 따라서, RAS 발생부(60)만 활성화 상태를 유지하고, 로우 어드레스 프리 디코더(110)는 내부 어드레스 카운터(100)에서 카운트되어 발생하는 내부 어드레스 $i_add<0:n-2>$ 를 로우 어드레스 $row_add<0:n-2>$ 로 발생하여 해당하는 워드라인이 뱅크(160)에서 활성화된다. 한편, RAS 발생부(70 ~ 90)는 제어신호 $pasr_bk1$ 및 $pasr_bk23$ 에 따라 비활성화 되어 뱅크(170 ~ 190)는 동작하지 않는다.

<131> 도 15는 RAS 발생부를 제어하는 제어하는 제어 신호들에 관한 동작 타이밍도로, 특히 본 발명에 따른 "하프 오브 뱅크"의 PASR 상태에서 하나의 뱅크내에 내부 어드레스 $i_add<n-2>$ 의 각 위상 변화에 따른 리프레쉬 동작 신호 r_act 및 내부 동작 신호 i_act 의 각 활성화/비활성화 상태를 나타내고 있다.

<132> 상술된 바와 같이 노말 동작시에 액티브 명령 ACT이 외부로부터 입력되면 노말 동작 신호 n_act 만 활성화되고, 제어신호 $pasr_bk1$, $pasr_bk23$ 가 모두 활성화되어 RAS 발생부(60 ~ 90)를 모두 활성화가 가능한 상태로 유지한다.

<133> 다음에, 오토 리프레쉬 명령 AREF이 외부로부터 입력되면 명령 디코더(20)는 오토 리프레쉬 신호 $aref$ 를 리프레쉬 제어부(50)로 출력한다. 오토 리프레쉬 신호 $aref$ 를 인가받은 리프레쉬 제어부(50)는 리프레쉬 동작 신호 r_act 및 내부 동작 신호 i_act 를 활성화시켜 각각 RAS 발생부(60 ~ 90) 및 내부 어드레스 카운터(100)로 출력한다.

- <134> 이때에는 "하프 오브 뱅크"에 대한 제어 신호 pasr_bh는 로우 레벨이고, 리프레쉬 동작 신호 r_act를 제어하지 못한다. 그리고, 내부 동작 신호 i_act의 활성화에 의해 내부 어드레스 카운터(100)에서 카운팅이 실시되어 기 설정된 시간 후에 내부 어드레스 i_add<n-2>는 토글(Toggle)되어 로우 레벨로 천이 된다.
- <135> 다음에, EMRS의 코드가 "하프 오브 뱅크"인 셀프 리프레쉬 명령 SREF이 인가되면, 도 4에서 PASR 코드가 A2 = 1, A1 = 0, A0 = 1 이므로 PASR 디코더(40)의 제어 신호 pasr_bh만 활성화 되고, 제어신호 pasr_bq, pasr_bk1 및 pasr_bk23 신호는 비활성화 상태를 유지한다. 따라서, RAS 발생부(70 ~ 90)가 비활성화 되어 뱅크(170 ~ 190)은 동작하지 않는다.
- <136> 로우 어드레스 프리 디코더(110)는 내부 어드레스 카운터(100)에서 카운트되어 발생하는 내부 어드레스 i_add<0:n-2>를 로우 어드레스 row_add<0:n-2>로 발생하여 해당하는 워드라인이 뱅크(160)에서 활성화된다. 그런데 워드라인이 순차적으로 활성화되어 뱅크(160)의 절반에 대한 셀프 리프레쉬가 완료되면, 뱅크(160)의 나머지 절반에 대해서는 내부 어드레스 카운터(100)에서 발생하는 내부 어드레스 i_add<n-2>가 하이 레벨로 천이된다.
- <137> 이처럼, 내부 어드레스 i_add<n-2>가 하이 레벨이 되는 구간에서는, 리프레쉬 제어부(50)는 리프레쉬 카운터(30)에서 발생하는 셀프 리프레쉬 요구 신호 sref_req의 펄스 신호가 리프레쉬 동작 신호 r_act로 출력되지 못하도록 차단하여 리프레쉬 동작 신호 r_act를 비활성화 시킨다. 따라서, 내부 어드레스 i_add<n-2>가 비활성화 되는 구간에서는 RAS 발생부(60)도 비활성화 되어 뱅크(160)도 동작하지 않게 되어, 뱅크(160)의 절반에 대해서만 셀프 리프레쉬가 이루어진다.

- <138> 그러나, 리프레쉬 제어부(50)에서 발생하는 내부 동작 신호 i_act 는 도 12에서와 같이 제어 신호 $pasr_bh$ 에 의해 제어되지 않으므로, PASR의 형태에 상관없이 리프레쉬 카운터(30)에서 발생하는 셀프 리프레쉬 요구 신호 $sref_req$ 의 펄스 신호에 맞춰 발생된다. 따라서, 내부 어드레스 카운터(100)에서는 뱅크(16)의 나머지 절반에 대한 셀프 리프레쉬가 이루어지지 않더라도 정해진 리프레쉬 레이트 동안 모든 어드레스에 대해 카운트를 진행한다.
- <139> 이처럼, RAS 발생부(60 ~ 90)를 활성화 시키기 위한 리프레쉬 동작 신호 r_act 가 발생되지 않더라도, 내부 동작 신호 i_act 는 셀프 리프레쉬 요구 신호 $sref_req$ 에 맞춰 계속 발생시킴으로써, 정해진 리프레쉬 레이트 동안 뱅크(160)의 절반("하프 오브 뱅크")에 해당하는 셀 어레이들에 대해서만 셀프 리프레쉬가 이루어지도록 할 수 있다.
- <140> EMRS의 코드가 "쿼터 오프 뱅크"인 셀프 리프레쉬 동작의 경우, 도 4에서 PASR 코드가 $A2 = 1$, $A1 = 1$, $A0 = 0$ 이므로 PASR 디코더(40)의 제어 신호 $pasr_bq$ 만 활성화 되고, 제어신호 $pasr_bh$, $pasr_bk1$ 및 $pasr_bk23$ 신호는 비활성화 상태를 유지한다. 따라서, RAS 발생부(70 ~ 90)가 비활성화 되어 뱅크(170 ~ 190)은 동작하지 않는다.
- <141> 로우 어드레스 프리 디코더(110)는 내부 어드레스 카운터(100)에서 카운트되어 발생하는 내부 어드레스 $i_add<0:n-2>$ 를 로우 어드레스 $row_add<0:n-2>$ 로 발생하여 해당하는 워드라인이 뱅크(160)에서 활성화된다. 그런데 워드라인이 순차적으로 활성화되어 뱅크(160)의 1/4에 대한 셀프 리프레쉬가 완료되면, 다음 1/4에 대해서는 내부 어드레스 카운터(100)에서 발생하는 내부 어드레스 $i_add<n-3>$ 가 하이 레벨로 천이된다.
- <142> 내부 어드레스 $i_add<n-3>$ 이 하이 레벨이 되는 구간에서는 리프레쉬 제어부(50)는 리프레쉬 카운터(30)에서 발생하는 셀프 리프레쉬 요구 신호 $sref_req$ 의 펄스 신호가 리프레쉬 동작 신호 r_act 로 출력되지 못하도록 차단하여 리프레쉬 동작 신호 r_act 를 비활성화 시킨다.

- <143> 그런데, 뱅크(160)의 1/4에 해당하는 구간에서는 내부 어드레스 $i_add<n-3>$ 가 다시 로우 레벨로 천이된다. 그러나, 이 구간에서는 상술된 "하프 오브 뱅크"에서와 같이 내부 어드레스 $i_add<n-2>$ 가 하이 레벨이 되어 리프레쉬 동작 신호 r_act 를 비활성화 시킨다.
- <144> 이처럼, 뱅크(160) 내의 두개의 최상위 어드레스들(MSBs) 중 적어도 어느 하나가 하이 레벨이 되면 리프레쉬 동작 신호 r_act 는 비활성화 된다. 그러나, 내부 동작 신호 i_act 는 내부 어드레스 $i_add<n-2>$, $i_add<n-3>$ 및 제어 신호 $pasr_bh$, $pasr_bq$ 에 의해 제어되지 않으므로, PASR의 형태에 상관없이 리프레쉬 카운터(30)에서 발생하는 셀프 리프레쉬 요구 신호 $sref_req$ 의 펄스 신호에 맞춰 발생하게 된다.
- <145> 따라서, 내부 어드레스 카운터(100)에서는 뱅크(16)의 나머지 3/4에 대한 셀프 리프레쉬가 이루어지지 않더라도 정해진 리프레쉬 레이트 동안 모든 어드레스에 대해 카운트를 진행한다.

【발명의 효과】

- <146> 상술한 바와 같이, 본 발명의 셀프 리프레쉬 장치는 어느 한 뱅크에 대한 부분 어레이 셀프 리프레쉬(하프 오브 뱅크 또는 쿼터 오브 뱅크) 수행시, 리프레쉬 동작 신호는 PASR 형태에 따라 선택적으로 발생되도록 하여도 내부 동작 신호는 PASR 형태에 상관없이 지속적으로 발생시켜 내부 어드레스를 카운팅하도록 함으로써 하프 오브 뱅크 또는 쿼터 오브 뱅크 셀프 리프레쉬 수행시 발생될 수 있는 리프레쉬 레이트에 대한 오류를 방지할 수 있다.

【특허청구범위】

【청구항 1】

외부로부터 인가되는 명령을 디코딩하여 해당 명령 신호를 발생하는 명령 디코더;

상기 명령 디코더로부터 셀프 리프레쉬 신호가 활성화 되면, 기 설정된 리프레쉬 주기에 맞는 카운팅을 실시하여 일정 주기로 리프레쉬 요구 신호를 출력하는 리프레쉬 카운터;

상기 명령 디코더로부터의 모드 레지스터 셋트 신호에 따라 기 설정된 어드레스를 확장 모드 레지스터 셋트 코드로 디코딩하여 래치하고, 상기 명령 디코더로부터 셀프 리프레쉬 신호가 활성화 되면 해당 어드레스를 조합하여 부분 어레이 셀프 리프레쉬 동작을 수행하기 위한 복수개의 제어 신호들을 선택적으로 출력하는 부분 어레이 셀프 리프레쉬 디코더;

리프레쉬 동작시 뱅크들을 활성화 시키기 위한 리프레쉬 동작 신호와 내부 어드레스를 카운팅하기 위한 내부 동작 신호를 출력하는 리프레쉬 제어부;

상기 복수개의 제어 신호와 상기 리프레쉬 동작 신호의 선택적 활성화에 따라 로우 액티브 신호를 출력하여 뱅크를 선택적으로 활성화시키는 로우 어드레스 스트로브 발생부;

상기 내부 동작 신호가 활성화시 내부 어드레스를 발생시켜 카운팅하는 내부 어드레스 카운터; 및

노말 동작시에는 외부에서 입력되는 외부 어드레스를 선택된 뱅크의 로우 어드레스로 출력하며, 리프레쉬 동작시에는 상기 내부 어드레스를 상기 로우 어드레스로 출력하는 로우 어드레스 프리 디코더를 구비하는 셀프 리프레쉬 장치.

【청구항 2】

제 1 항에 있어서,

상기 부분 어레이 셀프 리프레쉬 디코더로부터 출력되는 상기 복수개의 제어 신호는
부분 어레이 셀프 리프레쉬 형태에 따라 상기 로우 어드레스 스트로부 발생부를 선택적
으로 활성화 시키기 위한 제 1 제어 신호 및 상기 리프레쉬 동작 신호의 출력을 제어하기 위한
제 2 제어 신호와 제 3 제어 신호를 포함하는 것을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 3】

제 2 항에 있어서,

부분 어레이 셀프 리프레쉬 형태가 어느 한 बैं크에 대한 부분 어레이 셀프 리프레쉬인
경우에, 상기 제 1 제어 신호는 비활성화 되고 상기 제 2 제어 신호와 상기 제 3 제어 신호를
선택적으로 활성화되는 것을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 4】

제 3 항에 있어서,

부분 어레이 셀프 리프레쉬 형태가 어느 한 बैं크의 절반에 대한 부분 어레이 셀프 리프
레쉬인 경우에는, 상기 제 2 제어 신호가 활성화되고, 어느 한 बैं크의 쿼터에 대한 부분 어레
이 셀프 리프레쉬인 경우에는, 상기 제 3 제어 신호가 활성화되는 것을 특징으로 하는 셀프 리
프레쉬 장치.

【청구항 5】

제 4 항에 있어서, 상기 리프레쉬 제어부는

상기 제 2 제어 신호가 활성화 되는 경우, 상기 내부 어드레스의 최상위 비트가 로우 레
벨인 구간에서만 상기 리프레쉬 동작 신호를 발생시키는 것을 특징으로 하는 셀프 리프레쉬 장
치.

【청구항 6】

제 4 항에 있어서, 상기 리프레쉬 제어부는

상기 제 3 제어 신호가 활성화 되는 경우, 상기 내부 어드레스의 2개의 최상위 비트가 모두 로우 레벨인 구간에서만 상기 리프레쉬 동작 신호를 발생시키는 것을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 7】

제 5 항 또는 제 6 항에 있어서, 상기 리프레쉬 제어부는

상기 셀프 리프레쉬 요구 신호에 대응시켜 상기 리프레쉬 동작 신호를 발생시키는 것을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 8】

제 5 항 또는 제 6 항에 있어서, 상기 리프레쉬 제어부는

부분 어레이 셀프 리프레쉬 형태에 따른 상기 리프레쉬 동작 신호의 발생여부와 상관없이 상기 셀프 리프레쉬 요구 신호에 대응시켜 상기 내부 동작 신호를 발생시키는 것을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 9】

제 2 항에 있어서, 상기 로우 어드레스 스트로브 발생부는

리프레쉬 동작시 상기 리프레쉬 동작 신호에 따라 로우 액티브 신호를 출력하는 제 1 로우 어드레스 스트로브 발생기; 및

리프레쉬 동작시 상기 제 1 제어신호 및 상기 리프레쉬 동작 신호에 따라 액티브 신호를 출력하는 복수개의 제 2 로우 어드레스 스트로부 발생기들을 구비하는 것을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 10】

제 1 항에 있어서, 상기 부분 어레이 셀프 리프레쉬 디코더는

상기 모드 레지스터 셋트 신호에 따라 뱅크 선택 어드레스를 디코딩하여 레지스터 셋트 제어신호를 출력하는 확장 모드 레지스터 셋트 디코더;

상기 모드 레지스터 셋트 신호의 인가시 상기 레지스터 셋트 제어신호 및 셀프 리프레쉬 신호에 따라 복수개의 어드레스를 각각 래치하여 복수개의 레지스터 셋트 어드레스를 출력하는 복수개의 어드레스 래치; 및

상기 복수개의 레지스터 셋트 어드레스를 디코딩하여 상기 복수개의 제어신호들을 선택적으로 출력하는 부분 어레이 셀프 리프레쉬 제어부를 구비함을 특징으로 셀프 리프레쉬 장치.

【청구항 11】

확장 모드 레지스터 셋트 코드에 따라 반도체 메모리에 대한 부분 어레이 셀프 리프레쉬 동작을 수행하는 셀프 리프레쉬 방법에 있어서,

모드 레지스터 셋트 신호에 따라 기 설정된 어드레스를 상기 확장 모드 레지스터 셋트 코드로 디코딩하는 제 1 단계;

상기 확장 모드 레지스터 셋트 코드가 어느 한 뱅크의 절반에 대한 셀프 리프레쉬인 경우 상기 뱅크내의 최상위 어드레스의 상태를 확인하는 제 2 단계;

해당 어레이에 대한 부분 어레이 셀프 리프레쉬는 상기 최상위 어드레스가 로우 레벨인 동안에만 수행하나, 상기 뱅크에 대한 로우 어드레스 카운팅은 기 설정된 리프레쉬 레이트 동안 지속적으로 실행하는 제 3 단계를 포함하는 셀프 리프레쉬 방법.

【청구항 12】

확장 모드 레지스터 셋트 코드에 따라 반도체 메모리에 대한 부분 어레이 셀프 리프레쉬 동작을 수행하는 셀프 리프레쉬 방법에 있어서,

모드 레지스터 셋트 신호에 따라 기 설정된 어드레스를 상기 확장 모드 레지스터 셋트 코드로 디코딩하는 제 1 단계;

상기 확장 모드 레지스터 셋트 코드가 어느 한 뱅크의 쿼터에 대한 셀프 리프레쉬인 경우 상기 뱅크내의 2개의 최상위 어드레스의 상태를 확인하는 제 2 단계;

해당 어레이에 대한 부분 어레이 셀프 리프레쉬는 상기 두개의 최상위 어드레스가 모두 로우 레벨인 동안에만 수행하나, 상기 뱅크에 대한 로우 어드레스 카운팅은 기 설정된 리프레쉬 레이트 동안 지속적으로 실행하는 제 3 단계를 포함하는 셀프 리프레쉬 방법.

【청구항 13】

제 11 항 또는 제 12 항에 있어서, 상기 제 3 단계는

리프레쉬 동작시 선택된 뱅크를 활성화 시키기 위한 리프레쉬 동작 신호와 내부 어드레스를 발생시켜 카운팅하기 위한 내부 동작 신호를 구분하고, 상기 리프레쉬 동작 신호는 상기 확장 모드 레지스터 셋트 코드 및 상기 뱅크내의 최상위 어드레스의 상태에 따라 선택적으로 발생시키며, 상기 내부 동작 신호는 상기 확장 모드 레지스터 셋트 코드 및 상기 뱅크내의 최

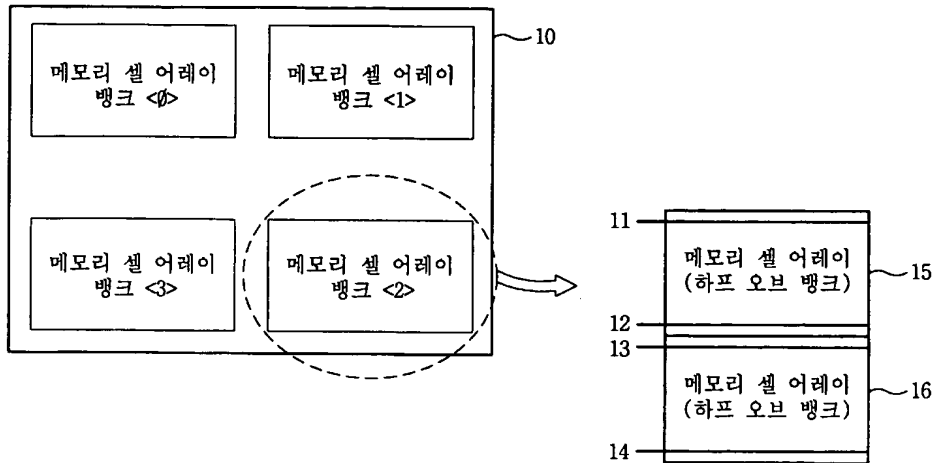
1020030008257

출력 일자: 2003/10/13

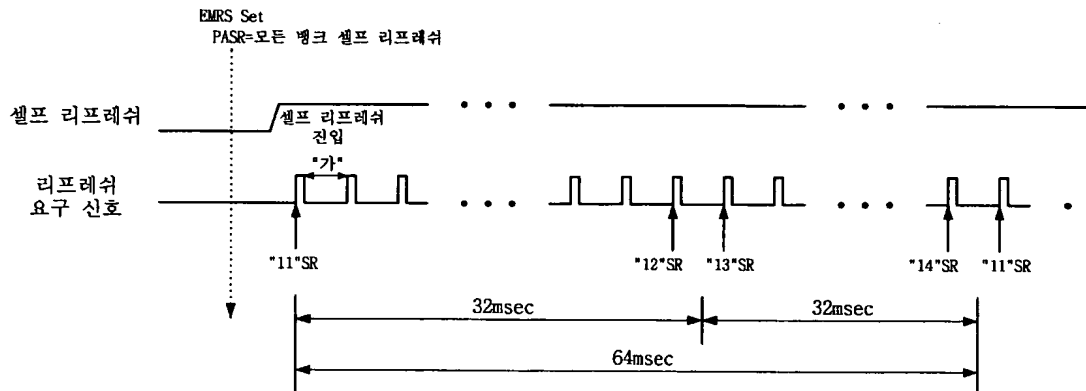
상위 어드레스의 상태에 상관없이 셀프 리프레쉬 동작시 일정한 주기로 지속적으로 발생시키는 것을 특징으로 하는 셀프 리프레쉬 방법.

【도면】

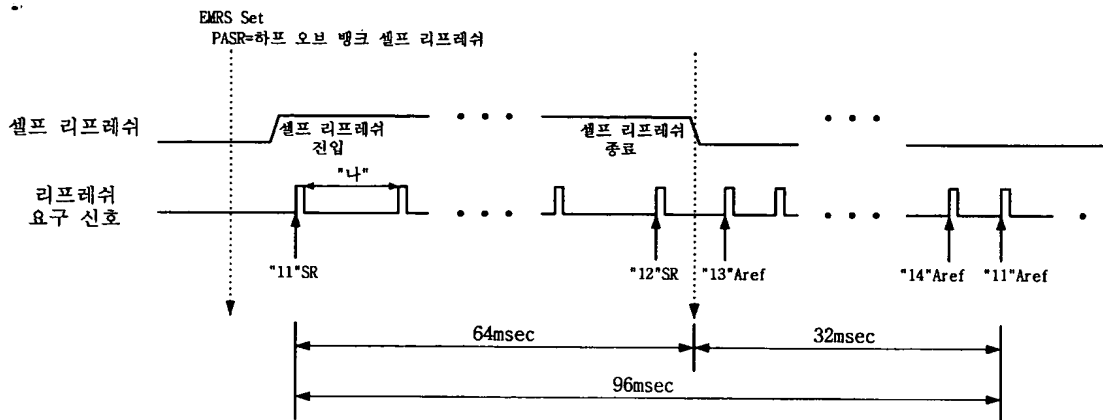
【도 1】



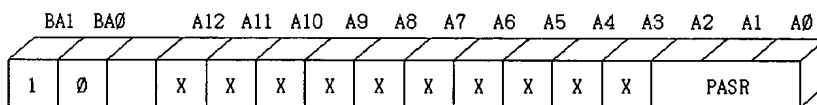
【도 2】



【도 3】

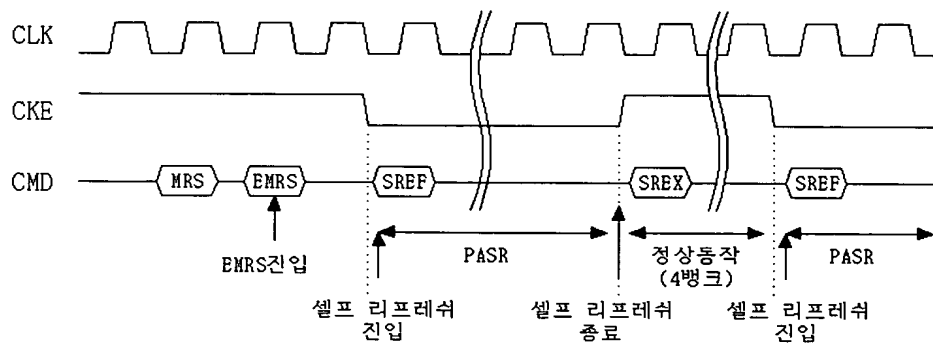


【도 4】

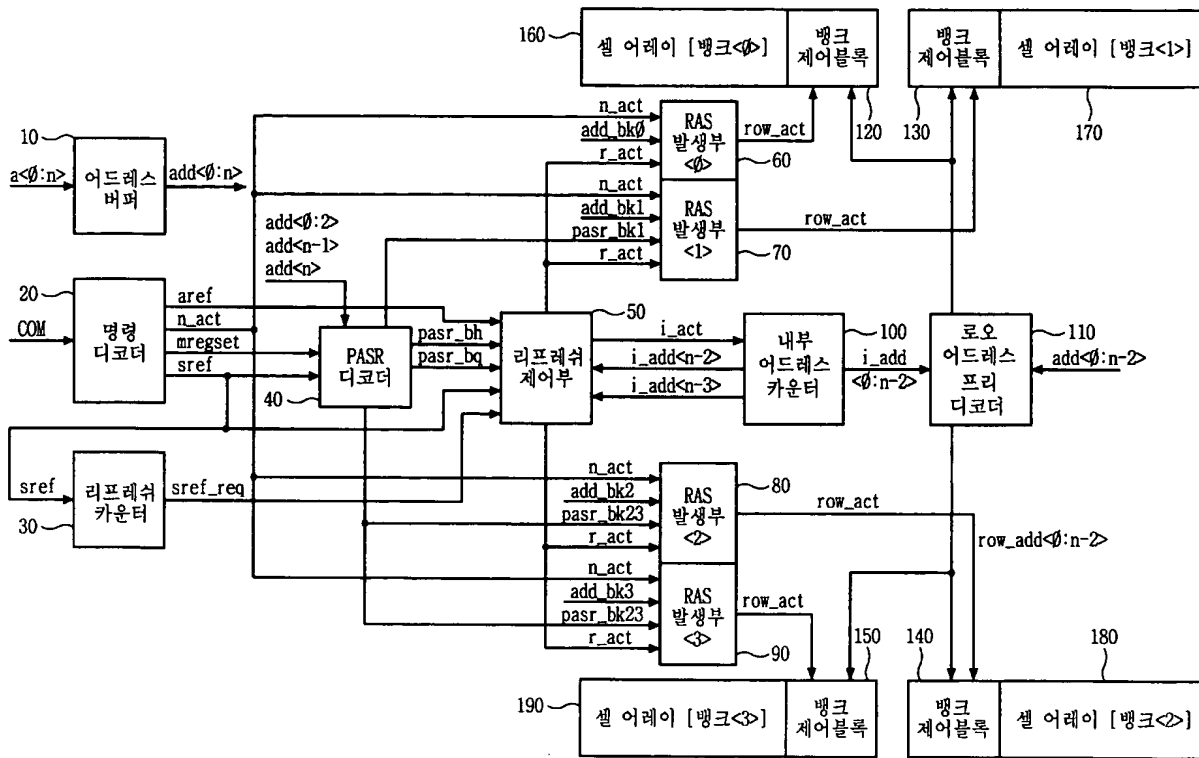


A2	A1	A0	셀프 리프레쉬 적용
0	0	0	모든 뱅크
0	0	1	하프 어레이 (BA1=0)
0	1	0	쿼터 어레이 (BA1=BA0=0)
0	1	1	RFU
1	0	0	RFU
1	0	1	하프 오브 뱅크 (BA1=BA0=로오 어드레스 MSB=0)
1	1	0	쿼터 오브 뱅크 (BA1=BA0=로오 어드레스2 MSBs=0)
1	1	1	RFU

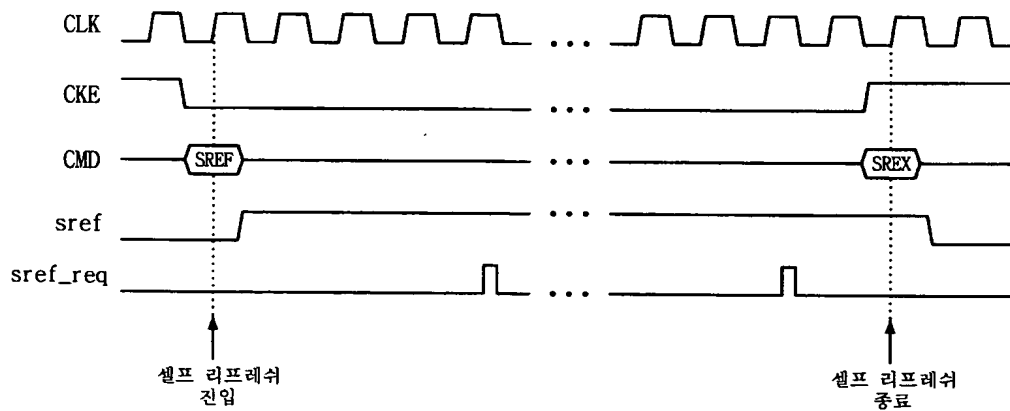
【도 5】



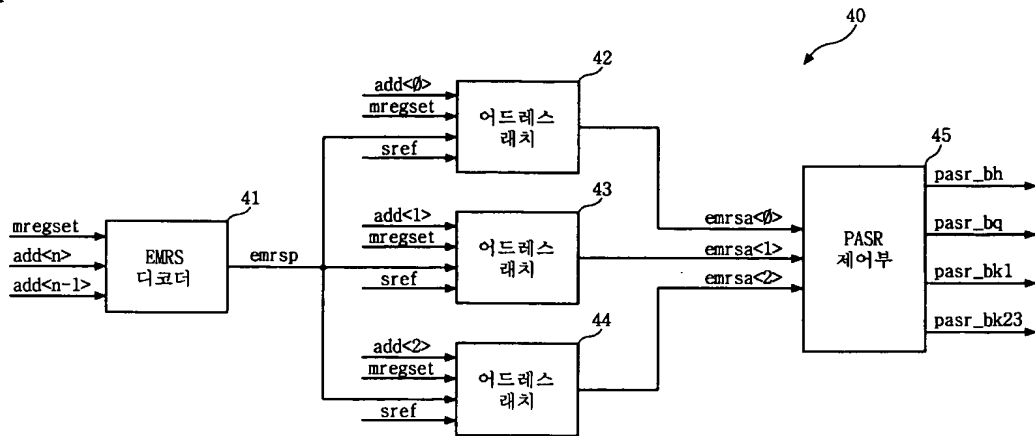
【도 6】



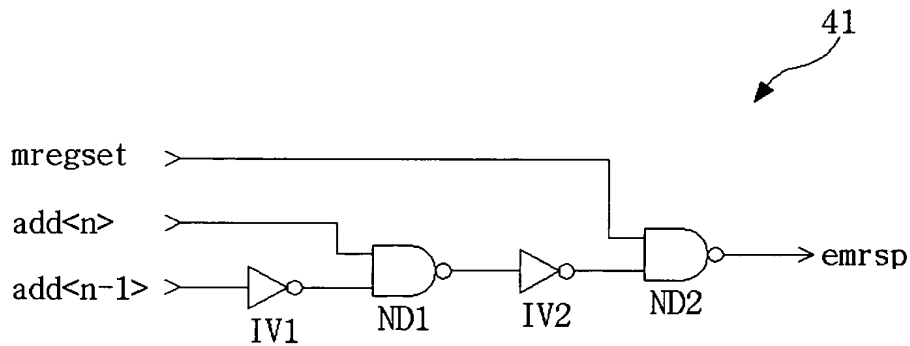
【도 7】



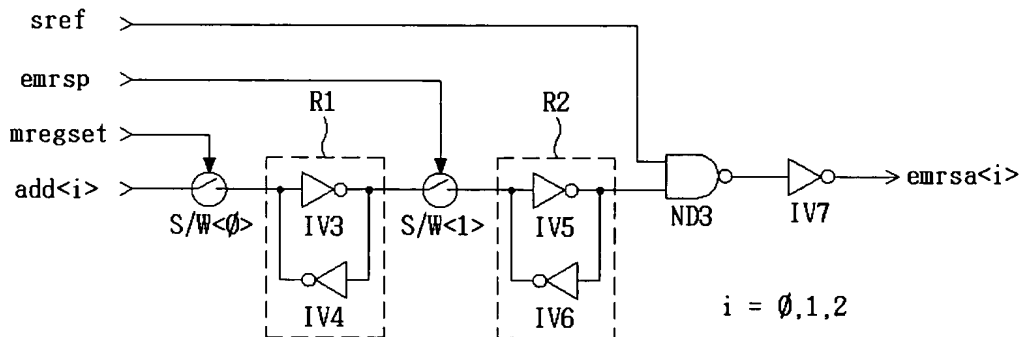
【도 8】



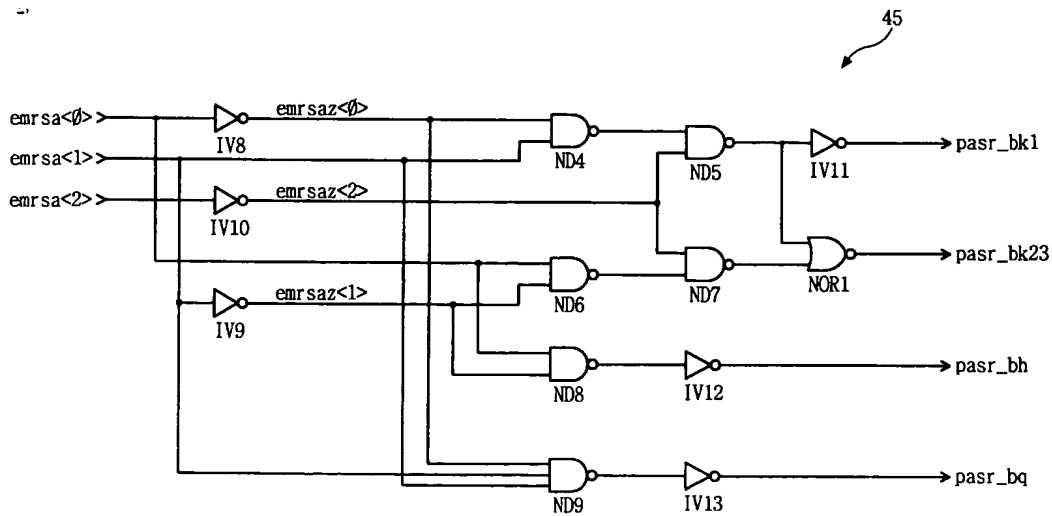
【도 9】



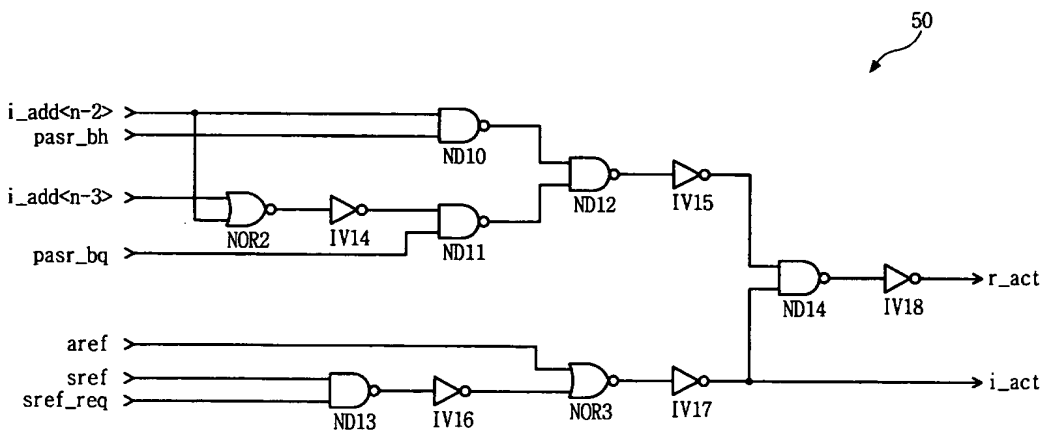
【도 10】



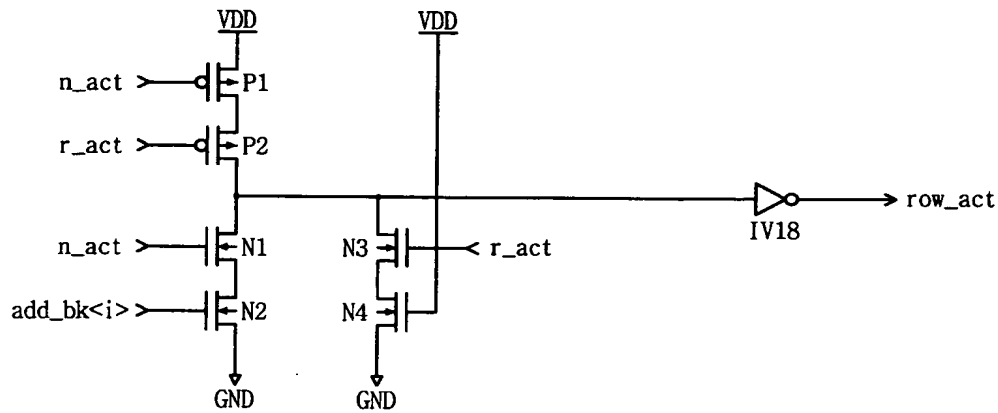
【도 11】



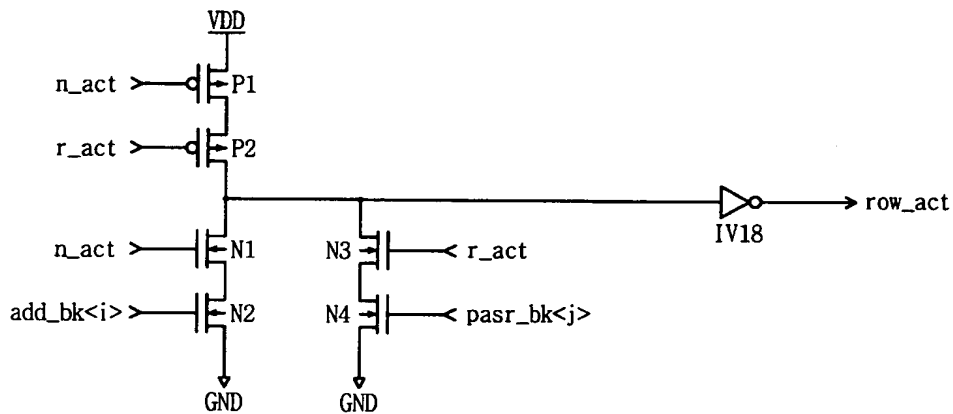
【도 12】



【도 13】



【도 14】



【도 15】

